

La conception MOS de 1968 à 1978 à SESCOSEM

JP. Moreau

Fin 1968, un embryon d'équipe de conception MOS s'installe à St-Egrève, le « fondateur » vient de Puteaux (laboratoire RPC de Thomson-CSF). S'y ajouteront dans les mois qui suivront, quelques nouveaux embauchés, ingénieurs et techniciens.

La technologie vient également de RPC. Très rapidement les ingénieurs de St-Egrève vont la revisiter. Officiellement pour la rendre plus compatible avec les exigences industrielles. Il y a déjà du NIH (« not invented here ») là dedans ... A vrai dire le problème à l'époque est la maîtrise de l'interface silicium silice, qui gouverne directement la valeur de la tension de seuil, la qualité de l'isolation entre les composants et la stabilité des dispositifs. Et ce problème, ni la technologie de RPC, ni sa variante St-Egrève ne savent le résoudre. Il faudra encore quelques années de progrès et surtout l'arrivée de la « grille silicium ».

En 68 les transistors MOS sont « grille alu ». Autrement dit, la structure active au dessus du canal et de la couche d'oxyde mince est faite d'une couche d'aluminium, qui correspond aussi au seul et unique niveau d'interconnexion disponible. Les croisements de connexions s'effectuent grâce à des passages diffusés, encombrants et résistifs, mais il n'y a pas d'autres moyens, et il faudra encore plus de dix ans, pour disposer de plusieurs niveaux métalliques. Les circuits bipolaires, moins sensibles à un certain nombre de paramètres, disposeront de plusieurs couches de métal bien plus tôt.

En 68, les MOS sont à « canal P ». Là encore, la non maîtrise de l'interface est la cause. En effet, l'interface recèle une densité de charges parasites considérable, qui a pour effet de décaler le seuil vers les valeurs négatives. Les MOS à canal P voient donc leur seuil -naturellement négatif- augmenter en valeur absolue, tandis que les MOS à canal N dont le seuil est théoriquement positif se retrouvent en fait conducteurs en l'absence de polarisation sur la grille. Très difficile de faire des circuits logiques dans ces conditions, et pas question de faire des MOS « complémentaires ». Pour fixer les idées, les MOS à canal P de cette époque ont un seuil de l'ordre de -3 à -4 Volts et les circuits sont alimentés en -9 et -12 volts.

En contre partie de ces limitations, la technologie est ultra simple : environ 6 niveaux de masques. La technologie grille alu où le niveau de métal fait office de grille de commande induit des techniques de layout très particulières basées sur des structures dérivées des PLA (Programmable Logic Array) qui exploitent la possibilité de croiser les lignes de commandes avec des lignes de source et drains réalisés

en diffusion. La méthode sera très largement automatisées sous le nom de « méthode de l'espalier » par nos collègues d'EFCIS dans les années 70.

En 68, les MOS partagent avec bipolaires des moyens de conception rustiques. Le premier circuit intégré MOS digne de ce nom (360 transistors !) réalisé en 1969 est entièrement dessiné à l'échelle 500 sur rubilithé pelliculable, à partir de dessins de blocs élémentaires sur papier millimétré.

L'opération prendra trois semaines. Pas question de simulation électrique non plus : aucun programme adapté n'est disponible. En fait de simulation on a réalisé un circuit test dans lesquels un certain nombre d'éléments ont été volontairement grossis pour que les mesures soient possibles en dépit des effets parasites dus au boîtier. C'est mieux que rien, mais pas terrible quand même : il n'y a pas que les capacités parasites qui sont masquées, les courants de fuite aussi ... Mais les jeunes ingénieurs ont parfois de la chance : le circuit marchera au deuxième essai.

Dès le début des années 70, l'informatique, aujourd'hui omniprésente, va faire son apparition pour le bénéfice d'abord des bipolaires –le cheval de bataille de St-Egrève- et accessoirement des MOS – considérés un peu comme « la danseuse » en cette époque lointaine. La méthode de conception et le style de layout utilisés en bipolaire sont radicalement différents du style utilisé en MOS. Les transistors bipolaires travaillent à courant relativement élevé et à basse impédance. Il est relativement facile de faire des maquettes avec des composants discrets (« kit parts »). En MOS c'est impossible. La maquette réalisée pour le premier circuit sera le seul et unique exemple, cas particulier non transposable dans le cas général. Il faut impérativement un simulateur électrique. Aucun n'est disponible ? qu'à cela ne tienne, j'en écrirai un à mes moments perdus (?). L'objet en question (PRIAM) rendra bien des services et me fera vivre quelques années après les affres d'un portage de l'IBM 1130 d'origine, vers un CII 1020, bien plus rapide mais déficient en mémoire vive. Même problème avec le layout. Un circuit bipolaire est un assemblage de composants (transistors, résistances) dessinés au préalable. Un circuit MOS grille aluminium est un assemblage de structures (lignes de diffusions, lignes d'alu) dont le rapprochement crée les composants dont on a besoin « à la demande ». Le premier outil de dessin informatique (MASK, 1970) vient de RPC. Il est extrêmement primitif. Son seul intérêt est de permettre de préparer les commandes élémentaires du coordinatographe à commande numérique ARISTOMAT que l'on vient d'acheter. L'engin fait cinq mètres de long et pèse plusieurs tonnes. Certains prétendent qu'il a été fabriqué dans un chantier naval travaillant pour la kriegsmarine. Là encore, faute d'outil disponible, il est décidé d'en développer un. A St-Egrève, ce sera le programme GAMMA. Quelques années plus tard EFCIS développera un outil orienté MOS (DELPHINE). Au cours des années, GAMMA à l'origine simple langage graphique, sera complété d'un outil d'édition interactive, puis d'un éditeur symbolique. Il faudra une révolution culturelle et la fusion avec SGS pour qu'une quinzaine d'années plus tard les outils maison soient abandonnés au profit d'outils commerciaux.

Dès l'origine, la capacité des MOS à la haute intégration a été bien comprise. En gros un ordre de grandeur de complexité de plus que les bipolaires. Seul problème, mais de taille, les performances sont très inférieures. Néanmoins si une grande vitesse n'est pas requise, alors on peut envisager des applications que le bipolaire ne peut pas aborder. C'est ainsi que vont naître les premiers circuits « à la demande ». Thomson-CSF DTC (Division Télé Communication) développe en liaison avec RPC des matériels destinés au chiffrement des communications militaires. La taille des matériels les fait réserver aux applications lourdes. La possibilité d'intégrer des circuits complexes permet d'envisager de créer une machine de chiffrement du champ de bataille. On n'est pas encore capable de faire un mono-chip, mais on s'en tire avec une douzaine de circuits différents. Question : peut-on demander à l'équipe de St-Egrève de faire la conception de ces circuits à partir du cahier des charges de DTC ? La réponse est non, d'abord pour des raisons de confidentialité (tout cela sera classé confidentiel défense), ensuite parce que l'équipe est de toute manière trop petite. D'ailleurs, s'il s'avère effectivement que l'avenir du MOS est dans les circuits à la demande, ou encore que l'intégration MOS est l'avenir des systèmes, alors il n'est pas raisonnable d'imaginer que la compétence de conception des systèmes se déplacera intégralement vers les fabricants de semi-conducteurs. C'est ainsi que, dès le début des années 70, il sera décidé de former les ingénieurs de DTC à la conception MOS, et que l'équipe de conception de St-Egrève se transformera régulièrement en équipe d'instructeurs. La faisabilité démontrée, l'intérêt de développer des circuits bipolaires à la demande apparaîtra rapidement, ainsi que la nécessité d'appliquer la même stratégie.

Cette évolution aura des conséquences importantes sur la rigueur des méthodes de conception et de caractérisation des technologies. Jusque là, chaque circuit était un cas d'espèce, et le technologue trouvait normal d'ajuster les paramètres du process pour optimiser le rendement circuit par circuit. Cela ne faisait pas nécessairement l'affaire des concepteurs qui auraient voulu compter sur des technologies caractérisées avec des tolérances connues sur chaque paramètre important. Ce qui était refusé aux concepteurs maison, on ne pourra pas le refuser aux concepteurs extérieurs. A leur tour les concepteurs se verront dans l'obligation de documenter leur méthodes, premiers pas vers une véritable entreprise d'amélioration systématique.

Il y a quand même quelques circuits standards développés pour la musique électronique, ou pour les besoins de militaires telles les mémoires mortes. Ces dernières sont développées avec l'aide de contrat du STTA (Services Techniques des Télécommunications de l'Air). Mais l'évolution technique va plus vite que l'esprit des contrôleurs de l'administration. Démarré sur la base d'une mémoire 1024 bits, il en arrive 2048 à la fin du contrat. Réception refusée. Alors on inhibera une ligne d'adresse au montage dans le boîtier pour satisfaire à la lettre...

En 1970, Intel lance (déjà !) le premier circuit grille silicium. C'est une mémoire dynamique, 256 bits, réalisée avec des MOS Canal P. L'idée d'utiliser du silicium polycristallin pour réaliser l'électrode de commande paraît géniale et nous décidons aussitôt de les imiter. Le choix du canal P est a coup sûr le résultat de notre pesanteur intellectuelle. Le fait est que le rendement est déplorable. C'est encore Intel qui montre le chemin : la vraie révolution c'est la mémoire dynamique 1024 bits « 1103 », réalisée en canal N. Autant la maîtrise du canal N grille alu est délicate (on ne fera des CMOS grille alu qu'à partir de 75), autant c'est le contraire en grille silicium. Le miracle, c'est le phosphore. Les sources et drains, réalisés *après* la structure de grille, sont dopés avec du phosphore (à cette époque...), qui diffuse un peu partout, piège et inactive les charges d'interface. Enfin les seuils sont stables et proches de leur valeurs théoriques.

Par rapport à la grille alu, la grille silicium apporte un gain considérable de densité d'intégration. En plus le niveau polycristallin peut être utilisé comme niveau d'interconnexion. Par contre un petit détail change tout : les lignes de grille ne peuvent plus couper les lignes de source drain réalisées en diffusion. Ce détail remet complètement en cause les méthodes de dessin développées pour la grille alu. Les structures électriques doivent être dessinées en essayant de respecter la continuité du polycristallin *et* des diffusions. Deux approches possibles : une approche à base de composants et de cellules (pas encore pré-caractérisées ...) comme en bipolaire, ou la solution inventée par nos collègues du CNET à Meylan, consistant à regrouper les transistors non plus autour de sorties communes (structure logique traditionnelle), mais autour d'entrées communes. Ce faisant on dessine un MOS un peu spécial, comportant une seule grille mais plusieurs drains indépendants. La méthode de synthèse logique est identique à celle employée en I2L (voir papier sur l'I2L) et se prête bien à l'automatisation. Par contre la méthode de l'escalier est inutilisable car elle implique la création d'un contact poly-alu par transistor MOS, or les contacts sont encombrants –plus gros que les transistors eux mêmes- et leur rendement médiocre. Nos amis d'EFCIS en feront l'amère expérience en voulant utiliser leur méthode favorite avec la technologie flambant neuve de St-Egrève.

Dès les années 70, on s'est intéressé aux approches de dessin symbolique. L'idée était de s'affranchir des règles de dessin au micron (et de leur évolution prévisible) en ne fixant que la topologie des composants, et en s'astreignant à dessiner au lieu et place de ceux-ci des symboles placés sur une grille à maille carrée fixe (dessin manuel sur des feuilles de bloc A4 quadrillé...). Evidemment, la densité d'intégration s'en ressent quelque peu, mais le temps de conception est considérablement réduit. Sans parler de la taille des fichiers manipulés et du temps de calcul. La méthode développée par l'équipe MOS s'appuie sur le programme de dessin de masques standard GAMMA, qui, bien que non prévu pour cela s'en sort plutôt bien. Appliquée initialement au MOS canal P grille alu, la méthode sera transposée en grille silicium canal N puis à partir de 75 au CMOS grille alu.

A partir de 75, la technologie de l'interface silicium / silice a fait suffisamment de progrès pour que fabriquer des MOS canal N grille aluminium devienne possible. Leurs performances sont assez loin des valeurs théoriques, mais dans un environnement « MOS complémentaires », elles sont tout à fait acceptables. L'histoire des CMOS commence à St-Egrève par une erreur de stratégie produit –dont je me sens tout à fait responsable- Pour comprendre, il faut se replacer dans la situation de l'époque. Une grande partie du chiffre d'affaire provient encore des composants discrets. Ne compte-t-on pas la production en « nombre de jonctions » par jour (!). Pour ce qui concerne les circuits intégrés, l'essentiel provient des technologies bipolaires, circuits linéaires et circuits logiques. Le chiffre d'affaire d'origine MOS est pratiquement négligeable, et la production confidentielle. En 75, RCA lance sur le marché une famille de circuits logiques baptisée COSMOS, (ou encore « série 4000 »). Sans en être l'équivalent, cette série reprend les opérateurs de la famille TTL (série 74) lancée quelques années auparavant par TEXAS. La série 74 en deuxième source constitue l'essentiel de l'activité circuits logiques bipolaires de Sescosem. Se lancer dans une seconde source de la série 4000, c'est l'occasion unique pour que les MOS existent vraiment dans l'environnement de St-Egrève. C'est d'autant plus tentant que le prix des opérateurs de la série 4000 est très élevé comparé aux opérateurs TTL, qui sont vendus au prix marginal pour ne pas dire moins. La décision est vite (trop vite) prise, et nous voilà dessinant à tour de bras les opérateurs de la série 4000. Le rêve ne durera pas plus d'un an. Entre juillet et septembre, les prix de marché chutent de moitié, et s'installent sur une pente irrémédiablement descendante. Les stocks de pastilles sont valorisés à un prix supérieur au prix de marché du produit fini. La direction commerciale ne souhaite pas pour des raisons politiques que l'on annonce un retrait du marché, alors, on achètera les pastilles, voire les produits finis à la concurrence... et les concepteurs MOS reviendront aux circuits spéciaux et à l'innovation...

L'innovation, c'est l'indispensable clé du succès. A Sescosem, les produits qui marchent le mieux sont les circuits linéaires à orientation grand public, pour la plupart des produits originaux définis en liaison avec des clients leader sur leur marché. Pour supporter ces produits, et pour aider à définir les suivants, on a créé un Laboratoire d'application. Grâce au dynamisme de ce laboratoire, des contacts seront établis avec des laboratoires de recherche TIM3 qui deviendra plus tard TIMA à Grenoble (Pr. Anceau), l'Ecole Normale Supérieure rue d'Ulm à Paris, L'ESIEE

L'idée, c'est que les possibilités de l'intégration rendent possibles de nouvelles architectures de système. Au-delà des circuits à la demande, on devrait pouvoir définir un certain nombre de nouvelles approches standard et par conséquent de circuits standards appropriés. Le monde du microprocesseur a montré la voie. Les applications adoptent une architecture où les informations sont échangées sur un bus de communication. Bien sur ce bus est spécifique de l'unité centrale (Intel, Motorola, Fairchild) mais il est quand même standardisé, ce qui permet de développer des circuits « application spécifique » alors même qu'on ne maîtrise pas la conception des processeurs. C'est ainsi

que seront développés un certain nombre de circuits graphiques par des étudiants de l'ENS : visu alphanumérique de Jean Gastinel, visualisation graphique vectorielle sur écran TV (Philippe Mathérat), et avec TIM3 projet de circuit de communication économique exploitant les principes du système Ethernet... (Pr. Anceau). Il y aura même une tentative pour réaliser un cœur de microprocesseur compatible avec le Motorola 6800, mais apportant des améliorations significatives en matière de sécurité de fonctionnement (Projet P68, E. Presson du laboratoire TIM3). On ne saura jamais si ce projet aurait pu donner un produit viable : conçu avec un dessin « au micron », et des contacts directs entre le silicium polycristallin et diffusions que l'on arrivait pas à fabriquer avec un rendement raisonnable, l'énormité du travail de redesign l'a fait abandonner. Il aurait suffi d'attendre un an pour l'on sache réaliser ces fameux contacts, mais alors c'est le produit qui aurait été obsolète. Synchroniser innovation produit et technologie est un art difficile.